

2

500.40612X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): M. KUSUNOKI
Serial No.: Not assigned
Filed: September 4, 2001
Title: SEMICONDUCTOR INTEGRATED CIRCUIT WITH
SUPPRESSED CLOCK SKEW
Group: Not assigned

11000 U.S. PRO
09/944134
09/04/01

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

September 4, 2001


Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2000-266971, filed September 4, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Carl I. Brundidge
Registration No. 29,621

CIB/amr
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

OLD P.S.U. 00011
09/944134
10/40/60

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 9月 4日

出 願 番 号
Application Number:

特願2000-266971

出 願 人
Applicant(s):

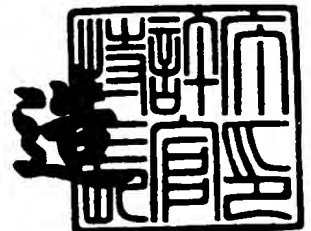
株式会社日立製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 H00009201

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/10
H01L 27/04

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 楠 貢

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 1 個の半導体基板上に複数の回路ブロックが形成され、各回路ブロック毎にクロック分配系が形成されている半導体集積回路において、上記複数の回路ブロックのうちいずれか 2 つの回路ブロック間には、データ信号を送信する 1 または 2 以上の第 1 の信号線とクロック信号を送信する第 2 の信号線が設けられ、一方の回路ブロックから他方の回路ブロックへ上記第 1 および第 2 の信号線を介してデータ信号とクロック信号とが送信され、受信側の回路ブロックは受信したクロック信号に基づいて受信したデータ信号を取り込むように構成されているとともに、上記第 1 の信号線と第 2 の信号線はほぼ等しい配線長を有しかつ途中に 1 または 2 以上のバッファ回路が設けられていることを特徴とする半導体集積回路。

【請求項 2】 上記データ信号およびクロック信号を送信する側の回路ブロックには送信しようとするデータをラッチする出力ラッチ回路が、また上記データ信号を受信する側の回路ブロックには受信したデータをラッチする入力ラッチ回路がそれぞれ設けられ、上記出力ラッチ回路および入力ラッチ回路はデータ送信側の回路ブロックから送信される前のクロック信号および送信後のクロック信号によってそれぞれラッチ動作を行なうように構成されていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 上記データ信号およびクロック信号を送信する側の回路ブロックは、送信したデータ信号およびクロック信号が受信側の回路ブロックに到達する前に次のデータ信号およびクロック信号を上記第 1 の信号線にのせるように構成されていることを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 4】 上記データ信号およびクロック信号を受信する側の回路ブロックは、上記信号線より受信したクロック信号が、実質的に等長とみなされるように設計された配線系を介して当該ブロック内のクロックに同期して動作する回路に分配されるように構成されていることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体集積回路。

【請求項 5】 上記クロック信号は、データ信号が送信される際以外はデータ送信側の回路ブロックからデータ受信側の回路ブロックへ送信されないように構成されていることを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 6】 上記データ送信側の回路ブロックと受信側の回路ブロックの間には、受信側の回路ブロックが受信したクロック信号を送信側の回路ブロックに対して帰還させる第 3 の信号線が設けられているとともに、上記送信側の回路ブロックには当該回路ブロック内のクロック信号の位相と上記帰還されたクロック信号の位相とが合うように送信クロックの位相を調整する位相調整回路が設けられていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 7】 上記位相調整回路は、上記送信側の回路ブロック内のクロック信号の位相と上記帰還されたクロック信号の位相とを比較し位相差に応じた信号を出力する位相検出回路と、該位相検出回路の出力に基づいて遅延時間に変化される可変遅延回路とを含んでなることを特徴とする請求項 6 に記載の半導体集積回路。

【請求項 8】 上記データ信号およびクロック信号を受信する側の回路ブロックは、受信したクロック信号とは別個に供給されるクロック信号が、実質的に等長とみなされるように設計された配線系を介して当該ブロック内のクロックに同期して動作する回路に分配されるように構成されていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 9】 上記データ受信側の回路ブロックは、上記第 1 の信号線より受信したシリアルなデータを受信クロックに基づいて順次取り込んで受信クロックの 2 周期以上にわたって保持する受信データ保持手段と、該受信データ保持手段に取り込まれたデータを受信クロックとは別個のクロック信号に基づいて順次読み出して内部回路へ供給するシリアルデータ再生手段とを備えていることを特徴とする請求項 8 に記載の半導体集積回路。

【請求項 10】 上記データ受信側の回路ブロックは、受信したクロックに基づいてデータ送信サイクルの $1/2$ 周期だけ位相がずれたクロック信号を生成する移相手段と、該移相手段により生成されたクロック信号に基づいて上記受信データ保持手段へのデータ取込みタイミングを与えるクロック信号を生成する位

相調整手段とを備え、該位相調整手段は上記移相手段により生成されたクロック信号の位相と上記受信データ保持手段へ供給されるクロック信号の位相とが一致するように位相を調整し、上記受信データ保持手段は受信データを信号の変化点と変化点のほぼ中央で取り込むように構成されていることを特徴とする請求項9に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路さらには半導体チップ上における同期用のクロック信号の分配方式に適用して有効な技術に関し、例えばシステムL S Iにおけるブロック間データ送信用のクロック信号の供給方式に利用して有効な技術に関する。

【0002】

【従来の技術】

論理L S I（大規模集積回路）においては、外部から供給されるクロック信号（以下、単にクロックと称する）をL S I全体に分配してそのクロックに同期してフリップフロップへのデータの取込みや信号の送信、伝達などが行なわれる。このように、外部からのクロックをL S I全体に分配する場合、クロックが通る配線の長さの相違等に起因してクロックの到達タイミングがずれるいわゆるクロックスキューが生じる。クロックスキューがあると、フリップフロップが誤ったデータを取り込んだり、論理ゲートの出力信号に不所望のひげ状パルスが発生して次段の回路が誤動作するおそれがある。そこで、従来よりこのクロックスキューを低減するために、クロックをチップ中心から末端の回路に向かって次第に枝分かれするツリー状の等長配線により各部に供給する方式等が採用されている（特開平11-202971号公報、特開平5-159080号公報等）。

【0003】

一方、近年、半導体プロセスの進歩により、クロックの周波数すなわちチップの動作周波数は、1GHz以上にも達するようになってきている。また、集積度も向上しているため、同一チップ内に、複数のプロセッサを設けたり、大規模な

キャッシュメモリ等を取り込むなど、これまでは複数のチップで構成されていた機能が1つのチップに搭載されたシステムLSIが提供されるようになってきた。

【0004】

ところが、現在の半導体チップでは、論理設計や診断その他の面から、チップ全面で同期化されたクロック分配系を有する方式が一般的である。そして、かかるクロック分配系では、クロックスキューはクロック分配系の面積に比例し、チップサイズが増大するのに伴ってクロックスキューが大きくなるとともに、チップサイズが同一であっても、クロック周波数が高くなるほどクロック周期に対するクロックスキューの割合が相対的に増加することとなるため、LSIの動作周波数の向上を妨げる原因となることが明らかとなった。

【0005】

また、動作周波数の向上が進むと、チップ内でデータの長距離送信を行う際に、信号遅延時間が長くなって数サイクル分を要する送信となる。そこで、本発明者らは、信号伝送経路上に複数のフリップフロップを挿入して1サイクル毎に各フリップフロップにデータをラッチして順次後段へ送信する方式について検討した。このようにすると、配置したラッチごとに、クロックスキュー(tck)及びフリップフロップのセットアップ時間(tsu)、ディレイ余裕(tpd)を考慮した設計が必要となる。つまり、送信にNサイクルを要する場合には、送信時間は実質的なディレイに、 $N \times (tck + tsu + tpd)$ を加算した値になり、これを加味してクロックの周波数を決定しなければならなくなるため、高速送信が困難になってしまうという問題点がある。なお、ボード上のLSI間でデータとクロックを送信してクロックスキューを管理するようにした発明として、例えば国際公開WO96/29655号がある。

【0006】

この発明の目的は、送信サイクルすなわちクロック周期に対するクロックスキューの割合を低減することができ、これによって動作周波数を高めることができるクロック分配技術を提供することにある。

【0007】

この発明の他の目的は、チップ内の長距離データ送信における遅延時間を短縮し、正確にデータを送信することができるクロック供給技術を提供することにある。

【 0 0 0 8 】

この発明のさらに他の目的は、動作周波数を増大させてもトータルの消費電力は抑えることができるクロック供給技術を提供することにある。

【 0 0 0 9 】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 0 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【 0 0 1 1 】

すなわち、本発明では、同一半導体チップ内にプロセッサやメモリなど複数の機能ブロックを有するシステム L S I のような半導体集積回路において、クロック分配系を、それぞれの機能ブロックごとに限定して設けるようにした。クロックスキューは、クロック分配系の配線長におおむね比例するが、プロセスが進歩した場合、動作周波数の向上は図られてもチップ面積は縮小されないため、クロック分配系の配線長も低減されず、これがクロックスキュー割合の増加の要因となる。しかし、上記のように、クロック分配系をそれぞれの機能ブロックごとに限定して設けることにより、各クロック分配系の面積は小さくなり、これによってクロック配線長が短くなってクロックスキューを小さくすることができ、その結果、動作周波数の向上を図ることができる。

【 0 0 1 2 】

しかしながら、上記のように分割されたクロック分配系を持つチップでは、各ブロック間でデータ送信をしようとした場合、長距離送信で信号遅延が大きくなり且つブロック間でクロックスキューのずれが大きいという問題が発生する。とりあえず送信を可能とするためには、例えば、ブロック間の長距離送信のみクロ

ック周波数を下げることが考えられるが、これでは、大容量のデータを高速に送信することができない。そこで、最近大規模なボードシステム上での半導体チップ間の送信において使用されているクロック並送方式をチップ内部に持ち込むことが考えられる。

【0013】

この並送送信方式は、データと並行してクロックを送信する方式であり、データ送信用とクロック伝送用の配線の長さが同じになるように設計すれば、送信データに対する相対的なクロックスキューはなくなるので、受端側で並送クロックによってデータを受信すればよい。本方式を用いることにより、データ送信路の途中にフリップフロップを配置する必要がなくなるため、途中に配置されるN個のフリップフロップのそれぞれにおける遅延時間($t_{ck}+t_{su}+t_{pd}$)を加味することが不用となる。

【0014】

しかしながら、これまで装置間やシステム上のチップ間で採用されて来た上記のような並送クロックを用いたデータ送信方式をそのままチップ内に持ち込もうとすると、信号を伝達する装置間の送信で用いる同軸ケーブルや、システムで用いるボードの伝送線と比較し、チップ内では配線による抵抗が大きいために、信号立上がり時間 t_r と信号立下がり時間 t_f が極端に大きくなってしまい、1つのデータが到着する前に次のデータを送信するというような、多サイクル送信が困難である。また、配線抵抗をボード上の伝送線並みに小さくなるように配線幅、厚さを大きくすることも考えられるが、配線幅を極端に大きくすると面積との関係からデータ送信のための配線本数を大幅に減少させる必要が生じてしまうとともに、配線層を厚くすることはプロセスにかかる負担が大きくなりすぎて現実的ではない。

【0015】

そこで、本発明では、ブロック間長距離送信方式として送信データと一緒にクロックを等長配線で送る並送方式を採用して受信側では並送クロックで受信データをラッチするように構成し、さらにブロック間送信用配線には所定の長さ毎にバッファを配置するようにした。

【 0 0 1 6 】

より具体的には、1個の半導体基板上に複数の回路ブロックが形成され、各回路ブロック毎にクロック分配系が形成されている半導体集積回路において、上記複数の回路ブロックのうちいずれか2つの回路ブロック間には、データ信号を送信する1または2以上の第1の信号線とクロック信号を送信する第2の信号線が設けられ、一方の回路ブロックから他方の回路ブロックへ上記第1および第2の信号線を介してデータ信号とクロック信号とが送信され、受信側の回路ブロックは受信したクロック信号に基づいて受信したデータ信号を取り込むように構成するとともに、上記第1の信号線と第2の信号線はほぼ等しい配線長を有しかつ途中に1または2以上のバッファ回路が設けるようにしたものである。

【 0 0 1 7 】

このように、配線の途中にバッファを配置した場合、バッファが信号の立上がりおよび立下がりを急峻にするつまり波形整形をするので、遅延時間が短縮される。これとともに、最初に送出したデータが受信側に届く前に次のデータを伝送路にのせることが可能となり、連続したデータの高速度送信が可能となる。

【 0 0 1 8 】

また、上記データ信号およびクロック信号を送信する側の回路ブロックには送信しようとするデータをラッチする出力ラッチ回路を、また上記データ信号を受信する側の回路ブロックには受信したデータをラッチする入力ラッチ回路をそれぞれ設け、上記出力ラッチ回路および入力ラッチ回路はデータ送信側の回路ブロックから送信される前のクロック信号および送信後のクロック信号によってそれぞれラッチ動作を行なうように構成した。このようにすれば、送信側の出力ラッチ回路と受信側の入力ラッチ回路が同一のクロック信号でラッチ動作されることとなるため、クロックスキューが見えなくなり、正しいデータの送信が可能となる。

【 0 0 1 9 】

また、望ましくは、上記データ信号およびクロック信号を送信する側の回路ブロックは、送信したデータ信号およびクロック信号が受信側の回路ブロックに到達する前に次のデータ信号およびクロック信号を上記第1の信号線にのせるよう

に構成する。これにより、連続したデータを送信する場合に高速な送信が可能となる。

【 0 0 2 0 】

さらに、上記データ信号およびクロック信号を受信する側の回路ブロックは、上記信号線より受信したクロック信号が、実質的に等長とみなされるように設計された配線系（配線およびバッファ回路等を含む）を介して当該ブロック内のクロックに同期して動作する回路に分配されるように構成する。これにより、受信側の回路ブロックに、送信側回路ブロックのPLL回路とは別個にPLL回路を設けてやる必要がない。

【 0 0 2 1 】

また、望ましくは、上記クロック信号は、データ信号が送信される際以外はデータ送信側の回路ブロックからデータ受信側の回路ブロックへ送信されないように構成する。これにより、動作の必要ない回路ブロックにはクロックが供給されないようになるため、チップ全体としての消費電力を押さえることが可能となる。

【 0 0 2 2 】

さらに、上記データ送信側の回路ブロックと受信側の回路ブロックとの間には、受信側の回路ブロックが受信したクロック信号を送信側の回路ブロックに対して帰還させる第3の信号線を設けるとともに、上記送信側の回路ブロックには当該回路ブロック内のクロック信号の位相と上記帰還されたクロック信号の位相とが合うように送信クロックの位相を調整する位相調整回路を設ける。これにより、クロックを送信する回路ブロックが受信側回路ブロックから送られてくる応答データを受信する場合に、正しい応答データの取込みが可能となる。

【 0 0 2 3 】

上記位相調整回路は、上記送信側の回路ブロック内のクロック信号の位相と上記帰還されたクロック信号の位相とを比較し位相差に応じた信号を出力する位相検出回路と、該位相検出回路の出力に基づいて遅延時間に変化される可変遅延回路とを含むように構成する。これにより、公知のDLL（ディレイ・ロックド・ループ）回路の技術を用いて容易に所望の機能を有する位相調整回路を実現するこ

とができる。

【 0 0 2 4 】

また、上記データ信号およびクロック信号を受信する側の回路ブロックは、受信したクロック信号とは別個に供給されるクロック信号が、実質的に等長とみなされるように設計された配線系を介して当該ブロック内のクロックに同期して動作する回路に分配されるように構成することができる。これにより、データ受信側の回路ブロックがデータを受信するとき以外にも動作することがある場合に、データ送信側の回路ブロックから受信側の回路ブロックが必要する時にクロック信号を送る制御を行なうようにしなくて済む。

【 0 0 2 5 】

さらに、上記データ受信側の回路ブロックは、上記第 1 の信号線より受信したシリアルなデータを受信クロックに基づいて順次取り込んで受信クロックの 2 周期以上にわたって保持する受信データ保持手段と、該受信データ保持手段に取り込まれたデータを受信クロックとは別個のクロック信号に基づいて順次読み出して内部回路へ供給するシリアルデータ再生手段とを設ける。これにより、データ送信側の回路ブロックと受信側の回路ブロックが別のクロックで動作するときにおいても、送信側からのデータ信号を受信側で正しく取り込むことができる。

【 0 0 2 6 】

また、上記データ受信側の回路ブロックは、受信したクロックに基づいてデータ送信サイクルの $1/2$ 周期だけ位相がずれたクロック信号を生成する移相手段と、該移相手段により生成されたクロック信号に基づいて上記受信データ保持手段へのデータ取込みタイミングを与えるクロック信号を生成する位相調整手段とを備え、該位相調整手段は上記移相手段により生成されたクロック信号の位相と上記受信データ保持手段へ供給されるクロック信号の位相とが一致するように位相を調整し、上記受信データ保持手段は受信データを信号の変化点と変化点のほぼ中央で取り込むように構成する。これにより、データ受信側のデータ取込みマージンが大きくなり多少クロックスキューがあっても正しいデータの取込みが行なえる。

【 0 0 2 7 】

【発明の実施の形態】

(第 1 実施例)

以下、本発明の好適な実施例を図面に基づいて説明する。

【0028】

図 1 は、本発明の第 1 の実施例を適用した半導体集積回路全体のブロック構成と各ブロック間での信号の送受信のための接続関係を示す。

【0029】

図 1 において、符号 100 は単結晶シリコンのような 1 個の半導体チップ、110 は外部から供給されるクロック信号が入力されるクロック入力端子、CB0、CB1、CB2、CB3、CB4、CB5、CB6 はチップ 100 上に形成されそれぞれほぼ独立した機能を有するマクロ回路ブロックである。各回路ブロックは例えば CMOS 回路で構成される。

【0030】

この実施例においては、ブロック CB0 は、例えばチップ全体を制御したり、チップ上の複数のブロックの中心的な役割を有するプロセッサのような主回路ブロックであり、CB1～CB6 は ROM や RAM あるいはキャッシュメモリのような従たる回路ブロックである。従たる回路ブロックとしては、メモリの他、シングルチップマイコンなどでは割込み制御回路やタイマ回路、AD、DA 変換回路などの周辺回路モジュール、カスタム LSI などではユーザーが希望する論理機能を有するユーザー論理回路などが考えられる。

【0031】

この実施例においては、クロック入力端子 110 より入力されたクロック信号 CLK は PLL (フェーズ・ロックド・ループ) 回路 120 に供給されて逡倍された内部クロック信号 CK が生成される。生成された内部クロック信号 CK は一旦主回路ブロック CB0 のほぼ中心 C0 まで配線 LL により運ばれ、ここから H ツリー状のクロック分配線 L10 によりブロック CB0 内の各部に供給される。

【0032】

図示しないが、クロック分配線 L0 の各分岐点には入力された信号を複数に分割するデバイダやなまった信号を波形整形するバッファなどが設けられる。また

、Hツリー状クロック分配線L0は、ブロックの中心C0からクロックの供給を受ける末端回路（フリップフロップや論理ゲート回路等）までの配線長がほぼ等しくなるように形成される。これによって、ブロックCB0内のクロックスキューは、チップ全体にツリー状クロック分配線を形成する場合に比べてかなり小さくされる。本明細書においては、上記ツリー状のクロック分配線およびクロックデバイダやバッファを含めたものをクロック分配系と称する。

【0033】

また、各ブロックCB0とCB1～CB6にそれぞれブロック間で信号のやり取りをするためのインタフェース回路I/F1～I/F6；I/F11；I/F21；I/F31；I/F41；I/F51；I/F61が設けられている。この実施例においては、主回路ブロックCB0のインタフェース回路I/F1～I/F6と、従たる各ブロックCB1～CB6のインタフェース回路I/F11～I/F61とが信号線群111～116によって接続されている。

【0034】

これらの信号線群111～116にはそれぞれクロックの信号線が含まれている。また、従たる各ブロックCB1～CB6には、それぞれその中心C1～C6から末端回路までの配線長がほぼ等しくなるように形成されたHツリー状に分岐するクロック分配線L10～L60が設けられており、上記信号線群111～116の中のクロック信号線が各ブロックの中心C1～C6に接続されて、そこから各ブロック内の末端回路にクロックを供給するように構成される。

【0035】

図2は、図1における主回路ブロックCB0と他のいずれか1つの従回路ブロックCBi（i=1, 2, ……6）との信号の送受信部を抽出してより詳細に示したものである。特に制限されるものでないが、ここでは一例として主回路ブロックCB0がプロセッサで、他の従回路ブロックCBiがメモリである場合を示している。

【0036】

図2の主回路ブロックCB0において、210はメモリをアクセスするために生成したアドレスをラッチするアドレスラッチ回路、211はインタフェース回

路 I / F i に設けられた出力ラッチ回路、212は従回路ブロック C B i としてのメモリの読出しデータをラッチする入力ラッチ回路、230は主回路ブロック C B 0 内のクロック C K 0 の位相と従回路ブロック C B i からの帰還クロック C K f の位相を比較して、位相を一致させるように出力クロック C K 1 を生成する位相調整回路である。

【 0 0 3 7 】

この実施例では、位相調整回路 230 の出力クロック C K 1 は、主回路ブロック C B 0 側の上記出力ラッチ回路 211 へ供給されてアドレスデータの出力タイミングを与える。また、上記出力ラッチ回路 211 にラッチされたアドレスデータとその出力タイミングを与えた上記クロック C K 1 が信号線群 111 を介して従回路ブロック C B i に送信される。図 2 には、アドレスラッチ回路 210 とアドレスデータを送信する信号線が 1 つだけ示されているが、実際にはアドレスのビット数に応じた数だけ設けられる。信号線群 111 の各信号線は互いに並行して配設されることにより、ほぼ等しい配線長すなわち等しい遅延を有するように形成され、各信号線の途中には波形整形を行なうバッファ回路 301 a ~ 301 c, 302 a ~ 302 c が設けられている。

【 0 0 3 8 】

図 2 の従回路ブロック C B i において、311はインタフェース回路 I / F i 1 に設けられたアドレスの入力ラッチ回路、320はアドレスデコーダおよびセンスアンプ等を含むメモリアレイ部、312はメモリアレイ部 320 より読み出されたデータをラッチするデータラッチ回路（出力ラッチ回路）、330は主回路ブロック C B 0 の側から供給されるクロック C K 1 に基づいてメモリアレイ部の動作タイミング信号を生成するタイミングジェネレータである。

【 0 0 3 9 】

この実施例では、信号線群 111 を介して送信データと並送して従回路ブロック C B i に供給されるクロック C K 1 によって、従回路ブロック C B i の入力ラッチ回路 311 および出力ラッチ回路 312 がラッチ動作を行なうように構成されている。ここで、クロック C K 1 の立上がりのタイミングと送信データの切り替えタイミングとが一致する場合には、受信したクロック C K 1 の立下りタイミ

ングで、またCK1の立下がりのタイミングと送信データの切り替えタイミングとが一致する場合には受信クロックCK1の立上りタイミングで、従回路ブロックCBiの入力ラッチ回路311が受信データをラッチするように構成される。送信データと並送クロックの遅延はほぼ等しいので、受信したクロックCK1で受信したデータをラッチすることにより信号線群111における遅延時間の大きさに関わらず確実に受信データをラッチすることができる。

【0040】

なお、この実施例のように、従回路ブロックCBiがメモリである場合には、完全な形でのHツリー状分配線によるクロックの分配方式の適用は困難であるが、タイミングジェネレータからそこで生成されたタイミング信号を受ける回路までの配線長が等しくなるように配線を設計したり、タイミングジェネレータの出力タイミング信号がその到達距離を予め考慮したタイミングで生成されるようにタイミングジェネレータを設計することにより、実質的に等長配線と同様なクロック分配方式が採用されているとみなすことができる。

【0041】

また、従回路ブロックCBiがメモリである場合には、受信されたクロックCK1により入力ラッチ回路311における入力アドレスのラッチが行なわれるとともに、ラッチされたアドレスに従ってメモリアレイ部320から読み出されデータラッチ回路312にラッチされたデータは、信号線群111を介して主回路ブロックCB0に送信される。また、このとき受信されたクロックCK1も信号線群111を介して主回路ブロックCB0に送信される。その信号線111の途中には波形整形を行なうバッファ回路303a, 303b, 303c, 304a, 304b, 304cが設けられている。

【0042】

このように、受信クロックCK1が帰還クロックCKfとして主回路ブロックCB0の位相調整回路230に戻され、クロックCK1とCKfの位相が一致するように並送クロックCK1が生成されることにより、従回路ブロックCBiから送られてくるデータを主回路ブロックCB0において正しく取り込むことができる。すなわち、位相調整回路230がない場合を仮定すると、従回路ブロック

C B i から送られてくるデータを主回路ブロック C B 0 で受信する際に、受信データの切り替わりタイミングと主回路ブロック C B 0 側のクロック C K 0 の切り替わりタイミングとは、信号線 1 1 1 における遅延等によりずれているため、受信データを入力ラッチ回路 2 1 2 に正しく取りこむことができない。しかるに、本実施例においては、位相調整回路 2 3 0 が設けられ、クロック C K 1 と C K f の位相が一致するように並送クロック C K 1 が生成されるので、主回路ブロック C B 0 が従回路ブロックから送られてくるデータを正しく取り込むことが可能となる。

【 0 0 4 3 】

また、その信号線 1 1 1 の途中には波形整形を行なうバッファ回路 3 0 1 ~ 3 0 4 が設けられているため、主回路ブロック C B 0 と従回路ブロック C B i との距離が離れていて信号線群 1 1 1 の配線長が長く時定数が大きかったとしても、信号が送信側から受信側に届くまでの送信所要時間をバッファ回路がない場合に比べて小さくすることができ、また複数ビットのデータを並列に送信する場合にビット間の送信ばらつきを抑えることができる。これとともに、送信側の回路ブロックは、ある信号を送信した後、その信号が受信側の回路ブロックに届く前に次の信号を送信することができるようになる。そして、そのようにシステムを構成することにより、連続したデータの送信所要時間を短縮することができる。

【 0 0 4 4 】

さらに、この実施例では、クロック信号線が各ブロックの中心 C 1 ~ C 6 に接続されて、そこから各ブロック内の末端回路にクロックを供給するように構成されているので、クロックが供給されていない間は従回路ブロックの動作は停止し、これによって L S I 全体としての消費電力を低減することができる。

【 0 0 4 5 】

図 3 には、上記位相調整回路 2 3 0 の具体的な回路例が示されている。この実施例の位相調整回路 2 3 0 は、主回路ブロック C B 0 側の内部クロック C K 0 と従回路ブロック C B i からの帰還クロック C K f の位相を比較して帰還クロック C K f の位相が遅れているときはアップ信号 U P を、また帰還クロック C K f の位相が進んでいるときはダウン信号 D N を出力する位相検出器 2 3 1 と、位相検

出器 2 3 1 からの出力 UP によってカウントダウンし出力 DN によってカウントアップするカウンタ 2 3 2 と、カウンタ 2 3 2 の計数値をデコードして計数値に応じた 1 つの信号がハイレベルに変化するデコーダ 2 3 3 と、デコーダ 2 3 3 の各出力ビットに各々対応した遅延段回路 2 3 4 a ~ 2 3 4 n が縦続接続されてなる可変遅延回路 2 3 4 とから構成されている。

【 0 0 4 6 】

遅延段回路 2 3 4 a ~ 2 3 4 n は、それぞれ図 4 に示すように 3 つの NAND ゲート G 1 ~ G 3 と 1 つのインバータ G 0 とからなる組合せ回路により構成されており、制御信号 CTL 0 がハイレベルのときは前段回路からの入力信号 INF を出力信号 OUT F として次段回路へ伝えるとともに次段回路からの入力信号 IN B を出力信号 OUT B として前段回路へ伝え、制御信号 CTL 0 がロウレベルにされると次段回路からの入力信号 IN B を遮断して入力信号 INF を出力信号 OUT B としてそのまま元の前段回路へ戻すように動作する。

【 0 0 4 7 】

かかる構成の遅延段回路が図 3 のように複数個（例えば 3 2 個）縦続接続され、各遅延段回路 2 3 4 a ~ 2 3 4 n にデコーダ 2 3 3 の対応する出力ビットが制御信号 CTL 0 として供給されることにより、初段の遅延段回路 2 3 4 a に入力されたクロック CK 0 は次段の遅延段回路 2 3 4 b, 2 3 4 c ……へ次々と伝達され、デコーダ 2 3 3 の出力ビットのうち“1”になっているものに対応する遅延段回路で U ターンして前段の遅延段回路へ順次戻り、初段の遅延段回路 2 3 4 a の出力端子 OUT B から遅延クロック CK 1 として出力される。この実施例では、クロック CK 0 が伝達する遅延段回路の数がデコーダ 2 3 3 の出力に応じて変更されることでクロック CK 0 の遅延時間が変化される。

【 0 0 4 8 】

具体的には、遅延段回路 1 段当たりの遅延時間を t_d とすると、例えば可変遅延回路 2 3 4 の i 段目の遅延段回路 2 3 4 i でクロックが U ターンされるように制御された場合には、クロック CK 1 は CK 0 よりも $2 i \times t_d$ だけ遅延したクロックとして出力される。そして、カウンタ 2 3 1 の出力 UP によりカウンタ 2 3 2 の計数値が小さくなると、可変遅延回路 2 3 4 における遅延時間が短くされ

、帰還クロック CK_f の位相が進むこととなる。一方、カウンタ 231 の出力 D_N によりカウンタ 232 の計数值が大きくなると可変遅延回路 234 における遅延時間が長くされ、帰還クロック CK_f の位相が遅れることとなる。

【0049】

(第2実施例)

次に、本発明の第2の実施例を、図5～図9を用いて説明する。

図5は、本発明の第2の実施例を適用した半導体集積回路全体のブロック構成と各ブロック間での信号の送受信のための接続関係を示す。第2の実施例では、図5に示されているように、1個の半導体チップ100上にそれぞれほぼ独立した機能を有する8個の回路ブロックが設けられている。図5の実施例はマルチプロセッサシステムを想定しており、8個のブロックのうち4個の回路ブロック PB_1 , PB_2 , PB_3 , PB_4 はプロセッサを、また残りの4個の回路ブロック CB_1 , CB_2 , CB_3 , CB_4 はメモリもしくは周辺モジュールを表わしている。

【0050】

この実施例においては、各回路ブロックごとに、外部からクロック端子110に入力される例えば256MHzのようなクロック信号 CLK を基準クロックとし、それを逡倍して例えば1GHzのような内部クロック CK_0 を生成するPLL回路120がそれぞれ設けられている。主たる回路ブロック PB_1 , PB_2 , PB_3 , PB_4 では、生成された内部クロック信号 CK_0 が一旦当該回路ブロックのほぼ中心 C_1 , C_2 , C_3 , C_4 まで運ばれ、ここからHツリー状のクロック分配線 L_{11} , L_{21} , L_{31} , L_{41} によりブロック内の各部に供給される。図示しないが、クロック分配線 L_0 の各分岐点には入力された信号を複数に分割するデバイダやなまった信号を波形整形するバッファなどが設けられる。

【0051】

なお、主回路ブロック PB_1 , PB_2 , PB_3 , PB_4 では、Hツリー状クロック分配線 $L_{11} \sim L_{41}$ は、ブロックの中心からクロックの供給を受ける末端回路（フリップフロップや論理ゲート回路等）までの配線長がほぼ等しくなるように形成される。これによって、ブロック $PB_1 \sim PB_4$ の各内部クロック同士

ではクロックスキューはあるものの、各ブロック内ではチップ全体にツリー状クロック分配線を形成する場合に比べてクロックスキューはかなり小さくされる。

【0052】

従たる回路ブロックCB1～CB4では、完全な形でのHツリー状分配線の代わりに、PLL回路120もしくはPLL回路120で生成されたクロックに基づいて各種内部タイミング信号を生成するタイミングジェネレータ（図示略）から、そのタイミング信号を受ける回路までの配線長が等しくなるように配線を設計したり、タイミングジェネレータの各出力タイミング信号が各々その到達時間を予め考慮したタイミングで生成されるようにタイミングジェネレータを設計することにより、実質的に等長とみなされる分配用配線が形成されている。

【0053】

また、各ブロックPB1～PB4とCB1～CB4にはそれぞれブロック間で信号のやり取りをするためのインタフェース回路I/F11～I/F14；～I/F81～I/F84が設けられている。この実施例においては、主回路ブロックPB1のインタフェース回路I/F11～I/F14は、従たる回路ブロックCB1～CB4のインタフェース回路I/F51，I/F62，I/F72，I/F81と信号線群111a，111b～114a，114bによって接続されている。これらの信号線群のうち111b～114bにはそれぞれクロックを並送するための信号線が含まれている。

【0054】

図5には示されていないが、主回路ブロックPB2のインタフェース回路I/F21～I/F24と従たる回路ブロックCB1～CB4のインタフェース回路I/F52，I/F61，I/F71，I/F82と間も同様な信号線群によって接続されている。これらの信号線群にもそれぞれクロックを並送するための信号線が含まれている。主回路ブロックPB3，PB4に関しても同様である。この実施例では、従回路ブロックCB1～CB4はPLL回路120を備え、それぞれ外部からのクロック信号CLKに基づいて内部クロックを生成するように構成されているが、CB1～CB4のうち幾つかあるいは全てを図1の実施例と同様に、主回路ブロックPB1～PB4からの並送クロックを内部クロックとする

ように構成することも可能である。

【0055】

図6は、図5における主たる回路ブロックPB1～PB4のうちいずれか1つと、従たる回路ブロックCB1～CB4のいずれか1つのとの間の信号の送受信部を抽出してより詳細に示したものである。

【0056】

図6の左側に示されている主回路ブロックPBにおいて、441はメモリをアクセスするために生成され内部回路からバッファ440を介して供給されるアドレス信号のような送信すべきデータ信号をラッチする出力ラッチ回路、442は主回路ブロックPBから従回路ブロックCBへ送信されるデータの送信タイミングを示す同期信号Syncをラッチするラッチ回路、481、482は上記ラッチ回路441、442にラッチされた信号を出力する出力バッファ回路である。

【0057】

図6には、出力ラッチ回路441とアドレスを送信する信号線が1つだけ示されているが、実際にはアドレスのビット数に応じた数だけ設けられる。なお、上記同期信号Syncは、特に制限されるものでないが、連続したデータを送信する場合には、例えば図7(e)のように、4ビットの送信データの最初の1ビットに対応した期間だけハイレベルとされるような信号とされる。

【0058】

また、443は主回路ブロックPB内のクロックCK0を2分周する分周回路、483は上記分周回路443で分周された信号を差動信号Dckp, Dcknとして出力する出力バッファ回路であり、上記出力バッファ回路481～483の出力信号が信号線群111a, 111bによって従回路ブロックCBへ供給される。そして、上記信号線群111a, 111bの各信号線は互いに並行して配設されることにより、ほぼ等しい配線長すなわち等しい遅延を有するように形成され、信号線群111a, 111bの各信号線の途中に波形整形を行なうバッファ回路401～406, 411～416, 421～426, 431～436が設けられている。

【0059】

特に制限されるものでないが、上記バッファ回路 4 0 1 ~ 4 0 6, 4 1 1 ~ 4 1 6, 4 2 1 ~ 4 2 6, 4 3 1 ~ 4 3 6 は、半導体チップ上において例えば 1 ~ 3 mm のような間隔で設けられる。上記のように、クロックを差動信号として送信することによって、ノイズに対するマージンを大きくしてクロックを送信できるという利点や、受信側でのクロックの受信タイミングの位相ずれを小さくできるという利点がある。また、クロックを 2 分周して送信することによって、転送周波数の向上が容易となるという利点がある。

【 0 0 6 0 】

図 6 の右側に示されている従回路ブロック CB において、4 9 1 ~ 4 9 3 は上記信号線群 1 1 1 a, 1 1 1 b の各信号線他端（受信側）に設けられた入力バッファ回路、4 4 4 ~ 4 4 7 は入力バッファ 4 9 1 により取り込まれたデータ信号をラッチする入力ラッチ回路、4 8 0 は入力ラッチ回路 4 4 4 ~ 4 4 7 にラッチされたデータのうち 1 つを選択するセクタ回路、4 4 8 はセクタ回路 4 8 0 により選択されたデータをラッチするデータラッチ回路である。上記入力バッファ 4 9 1 ~ 4 9 3 のうちクロックを取り込むバッファ 4 9 3 は差動入力型のバッファ回路により構成されている。

【 0 0 6 1 】

4 7 0 は、上記バッファ 4 9 3 により取り込まれたクロックを遅延させて位相を調整する位相調整回路、4 5 1 ~ 4 5 4 は前記バッファ 4 9 2 により取り込まれた同期信号 S y n c を位相調整回路 4 7 0 により位相調整されたクロック D c k p t d に基づいて取り込んで順次シフトするラッチ回路である。また、4 5 5 は上記ラッチ回路 4 5 1 ~ 4 5 4 にラッチされた信号および位相調整回路 4 7 0 により位相調整されたクロック D c k p t _ o u t を、入力ラッチ回路 4 4 4 ~ 4 4 7 に分配する分配系配線網で、この分配系配線網 4 5 5 から出力される信号のうちクロック D c k p t _ d は位相調整回路 4 7 0 へ帰還され、位相調整回路 4 7 0 は帰還されたクロック D c k p t _ d と受信クロック D c k p t の位相を比較して一致するように位相調整を行なう。なお、D c k p t _ d は、クロック D c k p t _ o u t が分配系配線網 4 5 5 で分配された後のクロックである。

【 0 0 6 2 】

460は前記セクタ回路480の選択制御信号Ct10～Ct13を形成する選択制御回路で、この選択制御回路460は別途回路ブロックCBに分配された同期信号Sync(CB)と従回路ブロックCB側のクロックTck, /Tckとに基づいて、上記入力ラッチ回路444～447にラッチされたデータをセクタ回路480により順番に選択して後段のデータラッチ回路448へ供給させるような選択制御信号Ct10～Ct13を形成する。この選択制御回路460に入力される同期信号Sync'は、上記入力ラッチ回路444～447にラッチされたデータを444, 445, 446, 447, 444……のように取り込まれた順に正しく読み出す選択制御信号Ct10～Ct13の形成開始タイミングを与えるために入力される信号であり、これにより例えば446, 447, 444, 445, 446……のような誤った順序でデータが読み出されるのを防止することができる。

【0063】

次に、上記主回路ブロックPBから従回路ブロックCBに対するデータおよびクロックの送信とその受信動作について、図7～図9を用いて説明する。

【0064】

この実施例では、主回路ブロックPBの出力バッファ回路481により、図7(b)に示すように、主回路ブロックPB側のクロックCK0に同期したデータDataが信号線群111a上へ出力される。また、主回路ブロックPBの出力バッファ回路483により、図7(c), (d)に示すように、主回路ブロックPB側のクロックCK0を2分周した2倍の周期の差動クロックDckp, Dcknが、出力バッファ回路482により、図7(e)に示すようなクロックCK0の4倍周期の同期信号Syncが、信号線群111b上へ出力される。

【0065】

これらの信号は、図8(a)～(c)に示すように、従回路ブロックCBの入力バッファ回路491, 492, 493により、所定の遅延時間Tp dだけ遅れた信号Datat, Dckpt, Sync tとして取り込まれる。そして、位相調整回路470で受信クロックDckptよりも Δt だけ遅れた図8(d)に示すような遅延クロックDckpt_outが形成される。この遅延クロックDc

k p t _ o u t によりラッチ回路451～454がラッチ動作されることにより、図8(e)～(h)に示すような、周期が遅延クロックD c k p t _ o u t の4倍で互いに位相が90°ずつずれた4種類の受信イネーブル信号CKEN0～CKEN3が形成されて、分配系配線網455を介して前記入力ラッチ回路444～447に供給される。

【0066】

入力ラッチ回路444～447のラッチトリガ端子の前段には、上記受信イネーブル信号CKEN0～CKEN3のそれぞれを一方の入力とし遅延クロックD c k p t _ d を他方の共通入力とするANDゲート461～464が設けられており、受信イネーブル信号CKEN0～CKEN3がハイレベルになっているANDゲートに対応する入力ラッチ回路444～447が遅延クロックD c k p t _ d の立上がりまたは立下りエッジによってラッチ動作され、図8(i)～(l)に示すようにそれぞれ信号線上のデータD0, D1, D2, D3, D4……を順次取り込んで行く。

【0067】

そして、入力ラッチ回路444～447に取り込まれた受信データは、受信側の従回路ブロックCBのクロックT c k に基づいて形成された図9(b)～(e)に示すようなタイミングの選択制御信号C t l 0～C t l 3により制御されるセクタ回路480によって順次選択されて、次段のデータラッチ回路448に供給され、データラッチ回路448は従回路ブロックCB側のクロックT c k に同期してラッチ動作して、データD a t a s i (D0, D1, D2, D3, D4……)を順次取り込み、受信データD a t a Rとして内部回路へ供給する。

【0068】

上記のように、この実施例においては、データと並送されたクロックを受信して生成したクロックD c k p t _ d で、受信データを入力ラッチ回路444～447に順次取り込んでシリアルーパラレル変換することによって、図8(i)～(l)に示すように、各データが保持されている期間を4周期に拡張している。そして、このように引き伸ばされた期間内に受信データを従回路ブロックCB側のクロックT c k に基づいて順次選択することでパラレルーシリアル変換して内

部回路に供給するようにしているため、送信側の主回路ブロックCBのクロックCK0と受信側の従回路ブロックCBのクロックTckの位相がかなりずれていたとしても正しく受信データを取り込むことができる。

【0069】

なお、送信側のクロックCK0と受信側のクロックTckは周波数が同一である場合には、位相のずれは最大で $\pm 180^\circ$ であり、仮に 180° ずれていたとしても本実施例の方式によれば、正しく受信データを取り込むことができることが図8より分かる。また、受信側のクロックTckは周波数が送信側のクロックCK0の周波数の $1/2$ や $3/4$ である場合にも、入力ラッチ回路(444~447)の数や選択制御回路460で形成する選択制御信号(Ct10~Ct13)のタイミング等を工夫することで、ブロック間でデータの送受信が可能である。

【0070】

図10には、上記位相調整回路470の具体的な回路構成例が示されている。この実施例の位相調整回路470は、図3に示されている位相調整回路230と類似の構成を有する第1のDLL(ディレイ・ロックド・ループ)回路470Aとその後段に接続された第2のDLL回路470Bとにより構成されている。このうち後段の第2DLL回路470Bは図3の回路と同一の構成を有する。すなわち、第2DLL回路470Bは、各々図3の位相検出器231、カウンタ232、デコーダ233、可変遅延回路234と同一の構成の位相検出器471B、カウンタ472B、デコーダ473B、可変遅延回路474Bにより構成されている。

【0071】

一方、前段の第1DLL回路470Aは、位相検出器471A、カウンタ472A、デコーダ473Aと縦続接続された2段の可変遅延回路474A1、474A2とにより構成されている。可変遅延回路474A1で遅延されたクロックDckptは、可変遅延回路474A2で更に遅延されて出力される。図10からも明らかなように、可変遅延回路474A1と可変遅延回路474A2の遅延時間は、デコーダ473Aの出力が共通に供給されて制御されるにより同じにな

る。可変遅延回路 4 7 4 A 1, 4 7 4 A 2, 4 7 4 B を構成する遅延段回路は、図 4 に示されているものと同一で良い。各 D L L 回路 4 7 0 A, 4 7 0 B の基本的な動作は図 3 の回路と同じであるので、重複した説明は省略し相違する点を主として説明する。

【 0 0 7 2 】

前段の第 1 D L L 回路 4 7 0 A は、主回路ブロック P B からのクロックを受信する差動入力バッファ 4 9 3 の出力クロック D c k p t を基準入力クロックとし、2 段目の可変遅延回路 4 7 4 A 2 で遅延されたクロック T c y c d を帰還クロックとし、位相検出器 4 7 1 A でクロック D c k p t の立下がりエッジと T c y c d の立上がりエッジの位相差を検出して、その位相差が「0」となるように動作する。

【 0 0 7 3 】

これとともに、第 1 D L L 回路 4 7 0 A は、1 段目の可変遅延回路 4 7 4 A 1 で遅延されたクロック T h c y c d を、2 段目の可変遅延回路 4 7 4 A 2 へ入力されると共に第 2 D L L 回路 4 7 0 B へも基準入力クロックとして入力されるように構成されている。これによって、第 1 D L L 回路 4 7 0 A は、受信クロック D c k p t から送信側クロック C K 0 の $1/2$ 周期 (D c k p t の周期の $1/4$) だけ位相がずれたクロックを生成して第 2 D L L 回路 4 7 0 B に供給する $1/2$ サイクル移相回路として機能する。

【 0 0 7 4 】

一方、第 2 D L L 回路 4 7 0 B は、その出力クロック D c k p t _ o u t が図 6 の分配系配線網 4 5 5 により入力ラッチ回路 4 4 4 ~ 4 4 7 に分配された後のクロック信号 D c k p t _ d が帰還クロックとして入力され、この帰還クロック D c k p t _ d と第 1 D L L 回路 4 7 0 A からの基準クロック T h c y c d の位相差を検出して、その位相差が「0」となるように動作する。これによって、入力ラッチ回路 4 4 4 ~ 4 4 7 に分配されるクロック信号 D c k p t _ d の位相が、主回路ブロック P B から従回路ブロック C B へ送信されるデータの変化点と変化点の中央に来るように制御される。以下、そのタイミング制御を、図 1 1 を用いて詳しく説明する。

【 0 0 7 5 】

第 1 D L L 回路 4 7 0 A は、図 1 1 (a) , (b) のようにクロック D c k p t の立下がりエッジと T c y c d の立上がりエッジの位相差を検出して、その位相差が「0」となるように可変遅延回路 4 7 4 A , 4 7 4 B でクロック D c k p t を遅延させて帰還側出力クロック T c y c d を生成する。これによって、帰還側出力クロック T c y c d は受信クロック D c k p t の半周期すなわち送信側クロック C K 0 の 1 周期分だけ遅れたクロックとされる。一方、このとき、可変遅延回路 4 7 4 A の遅延量と 4 7 4 B の遅延量は同じとなるように制御されるので、可変遅延回路 4 7 4 A から出力されるクロック T h c y c d は、図 1 1 (c) のように、受信クロック D c k p t の 1 / 4 周期すなわち送信側クロック C K 0 の 1 / 2 周期分だけ遅れたクロックとなる。

【 0 0 7 6 】

そして、この可変遅延回路 4 7 4 A から出力されるクロック T h c y c d が第 2 D L L 回路 4 7 0 B に供給されて、入力ラッチ回路 4 4 4 ~ 4 4 7 に分配されるクロック信号 D c k p t _ d の位相と比較され、位相差が「0」となるように出力クロック D c k p t _ o u t を生成する（図 1 1 (c) ~ (e) 参照）。これによって、例えば送信されるデータのビット数が大きくて各入力ラッチ回路 4 4 4 ~ 4 4 7 が多くなりクロック供給配線が長くなって、分配されるクロック信号 D c k p t _ d の遅延が無視できない大きさになるような場合においても、入力ラッチ回路 4 4 4 ~ 4 4 7 に分配されるクロック信号 D c k p t _ d の立上がりエッジおよび立下がりエッジが、それぞれ受信クロック D c k p t のハイレベル期間（送信側ブロックのクロック C K 0 の 1 周期）の中央、すなわち主回路ブロック P B から従回路ブロック C B へ送信されるデータの変化点と変化点の中央に来るように制御されることとなる。

【 0 0 7 7 】

なお、図 6 に示すような実施例においては、分配系配線網 4 5 5 からクロック信号 D c k p t _ d を受ける各入力ラッチ回路 4 4 4 ~ 4 4 7 までのクロック配線が等長となるように設計することにより、各入力ラッチ回路 4 4 4 ~ 4 4 7 におけるラッチタイミングのずれを少なくすることができる。

【0078】

図12は、半導体集積回路におけるブロック間信号伝送線上に設けられるバッファ回路の具体例を示す。本発明を適用した半導体集積回路においては、図12(A)に示すように、素子の大きさすなわち駆動力の異なる複数のバッファ回路が設けられる。具体的は、図6に示されているブロック内のバッファ回路440やブロック間信号線群111aを構成するデータ送信用信号線の途中に設けられる波形整形用のバッファ回路401～406、出力ドライバ用バッファ回路500等である。なお、ここで出力ドライバ用バッファ回路500は、当該半導体集積回路の外部に信号を出力するためのバッファ回路であり、図1や図5の実施例には示されていないものである。

【0079】

図12(A)において、各バッファ毎に付記されている W_{p1}/L_{p1} 、 W_{p2}/L_{p2} および W_{p3}/L_{p3} は、それぞれ各バッファが図12(B)のように、pチャネルMOSFET Q_p とnチャネルMOSFET Q_n とから構成されている場合に、pチャネルMOSFETのゲート幅(W_p)とゲート長(L_p)の比である。また、 W_{n1}/L_{n1} 、 W_{n2}/L_{n2} および W_{n3}/L_{n3} は、それぞれのバッファのnチャネルMOSFET Q_n のゲート幅(W_n)とゲート長(L_n)の比である。INはバッファ回路の入力端子、OUTはバッファ回路の出力端子である。

【0080】

ここで、pチャネルMOSFETのゲート幅 W_p とゲート長 L_p およびnチャネルMOSFET Q_n のゲート幅 W_n とゲート長 L_n は、pチャネルMOSFET Q_p とnチャネルMOSFET Q_n のレイアウト構成を示す図12(C)において、pチャネルMOSFET Q_p のポリシリコンゲート電極PGの幅が L_p 、このポリシリコンゲート電極PGとpチャネルMOSFET Q_p のソース・ドレイン領域としての拡散領域PSDとの交差部分の長さが W_p とみなされる。また、図12(C)において、nチャネルMOSFET Q_n のポリシリコンゲート電極NGの幅が L_n 、このポリシリコンゲート電極NGとnチャネルMOSFET Q_n のソース・ドレイン領域としての拡散領域NSDとの交差部

分の長さが W_n とみなされる。 LVD は電源電圧 V_{DD} を供給する電源配線、 LVS は電源電圧 V_{SS} を供給する電源配線である。

【0081】

この実施例においては、

$$W_{p1}/L_{p1} < W_{p3}/L_{p3}, W_{n1}/L_{n1} < W_n/L_n3$$

$$W_{p2}/L_{p2} < W_{p3}/L_{p3}, W_{n2}/L_{n2} < W_n/L_n3$$

の関係になるように、各バッファを構成するMOSFETが設計されていると共に、ブロック間クロック送信用信号線の途中に設けられる波形整形用のバッファ回路421～426、431～436は、上記データ送信用信号線の途中に設けられる波形整形用のバッファ回路401～406に最も近い大きさのバッファ回路を用いて構成される。同期信号Syncを送信する信号線の途中に設けられる波形整形用のバッファ回路411～416も同様にバッファ回路401～406に最も近い大きさのバッファ回路を用いて構成される。

【0082】

図13は、本発明を適用した半導体集積回路における配線構造の具体例を示す。

【0083】

特に制限されるものでないが、この実施例の半導体集積回路においては、8つのメタル層からなる8層配線構造が採用されている。図13において、 M_0 は1層目のメタル層、 M_1 は2層目のメタル層で、以下同様にして M_7 が8層目のメタル層である。そして、各メタル層 $M_0 \sim M_7$ 間はそれぞれ図示しない層間絶縁膜で絶縁分離され、この絶縁膜に形成されたスルーホールに充填された導電体Via0～Via6によって上下のメタル層間の導通が行なわれる。上記メタル層 $M_0 \sim M_7$ および導電体Via0～Via6は例えばタングステンや銅、アルミニウム、チタンなどの金属からなり、層間絶縁膜は例えば窒化シリコン膜や酸化シリコン膜、PSG膜などからなる。

【0084】

この実施例においては、メタル層 M_0 と M_1 によりフリップフロップやラッチ回路、論理ゲート回路などのセルと呼ばれる設計単位の回路内の接続配線が形成

され、メタル層M1～M4により前記回路ブロック内の接続配線が形成され、メタル層M5，M6により回路ブロック間の接続配線が形成され、メタル層M7により電源配線が形成されている。そして、メタル層M0～M4により形成される上記セル内および回路ブロック内の配線はプロセスで加工可能な最小幅とされる。一方、メタル層M5～M7により形成される上記ブロック間の配線および電源配線は、上記メタル層M0～M4の配線よりも厚くされるとともに配線幅も最小幅の約2倍とされる。また、配線同士の間隔もメタル層M0～M4に比べてメタル層M5～M7の配線の方が広くされる。

【0085】

上記のように、この実施例では、メタル層M5，M6により回路ブロック間の接続配線が形成されるため、チップサイズを増大させることなく回路ブロック間送信用の信号線を形成できるとともに、メタル層M0～M4からなるブロック内配線と干渉しないので、回路ブロック間送信用の信号線のレイアウト設計も容易となる。

【0086】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば前記実施例における位相調整回路は、位相検出器とカウンタとデコーダおよび論理ゲートの組合せ回路を遅延段とする可変遅延回路とにより構成されているが、そのような構成に限定されるものでなく、カウンタの代わりにチャージポンプ、デコーダの代わりにバイアス電圧発生回路、組合せ回路の代わりに前記バイアス電圧で制御される電流源からの電流で動作される差動増幅回路を遅延段とする可変遅延回路とすることも可能である。

【0087】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるプロセッサとメモリを内蔵したシステムLSIに適用した場合について説明したが、本発明はそれに限定されるものでなく、1つの半導体チップ上に複数の回路ブロックが搭載され、比較的はなれた位置にある回路ブロック間で

データ信号を送信したい場合に広く利用することができる。

【 0 0 8 8 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 8 9 】

すなわち、本発明に従うと、送信サイクルすなわちクロック周期に対するクロックスキューの割合を低減することができ、これによって L S I の動作周波数を高めることができるとともに、チップ内の長距離データ送信における遅延時間を短縮し、正確なデータ送信が可能になるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例を適用した半導体集積回路全体のブロック構成と各ブロック間での信号の送受信のための接続関係を示すブロック図である。

【図 2】

図 1 における主回路ブロック C B 0 と他のいずれか 1 つの従回路ブロック C B i との信号の送受信部を抽出してより詳細に示した回路構成図である。

【図 3】

図 2 における位相調整回路の具体例を示す回路構成図である。

【図 4】

図 3 における可変遅延回路を構成する遅延段回路の具体例を示す論理ゲート構成図である。

【図 5】

本発明の第 2 の実施例を適用した半導体集積回路全体のブロック構成と各ブロック間での信号の送受信のための接続関係を示すブロック図である。

【図 6】

図 5 における主回路ブロック P B と他のいずれか 1 つの従回路ブロック C B との信号の送受信部を抽出してより詳細に示した回路構成図である。

【図 7】

図 5 における主回路ブロック P B から出力される信号およびクロックのタイミングの一例を示すタイミングチャートである。

【図 8】

図 5 の従回路ブロック P B におけるクロックの受信部およびデータラッチタイミングを生成する回路部分の信号のタイミングの一例を示すタイミングチャートである。

【図 9】

図 5 の主回路ブロック P B のデータ受信部における信号のタイミングの一例を示すタイミングチャートである。

【図 1 0】

図 5 における位相調整回路の具体例を示す回路構成図である。

【図 1 1】

図 1 0 の位相調整回路における信号のタイミングの一例を示すタイミングチャートである。

【図 1 2】

本発明を適用した半導体集積回路におけるブロック間信号伝送線上に設けられるバッファ回路の具体例を示す回路図およびレイアウト図である。

【図 1 3】

本発明を適用した半導体集積回路における配線構造の具体例を示す断面説明図である。

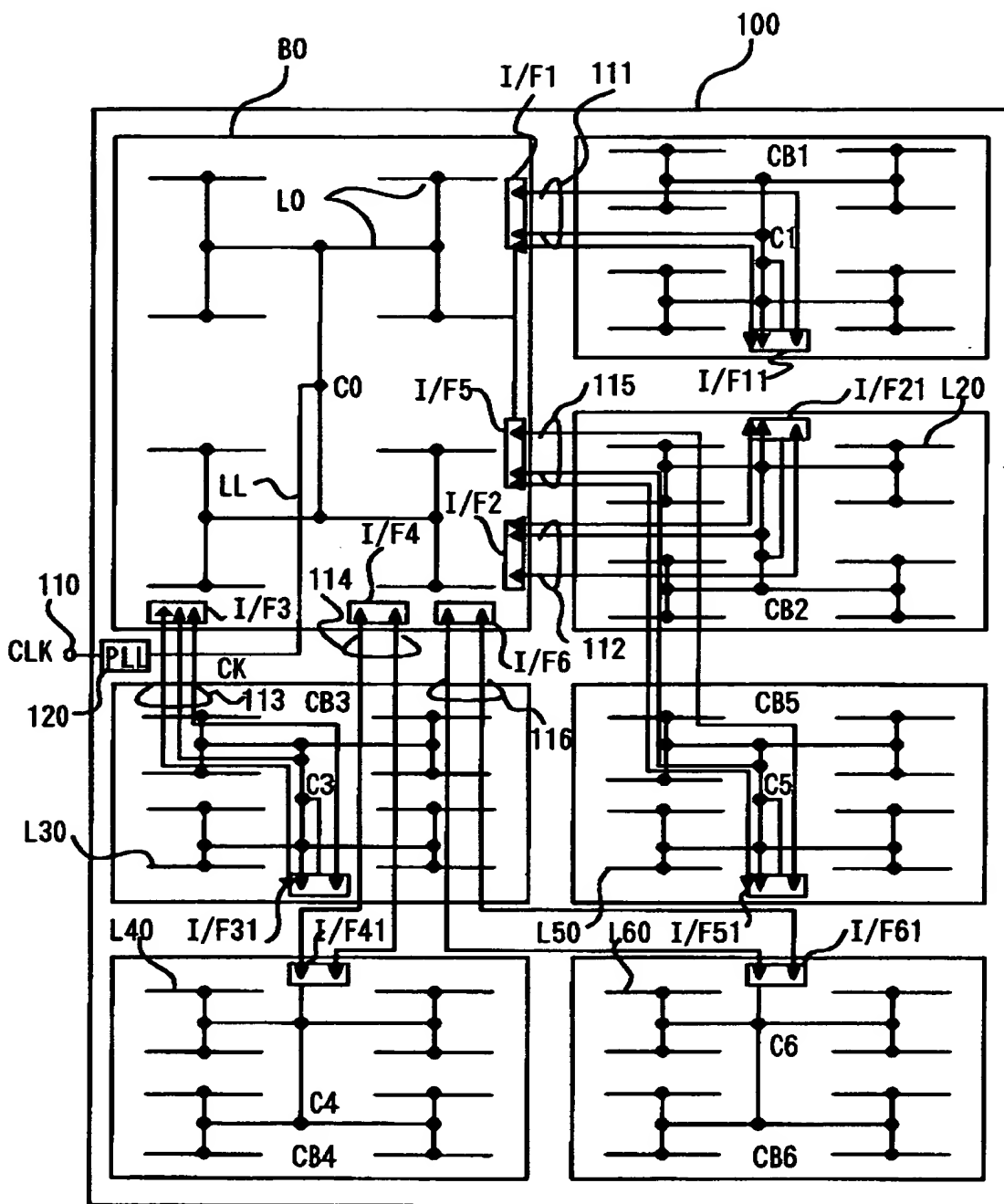
【符号の説明】

- 1 0 0 半導体チップ
- 1 1 0 クロック入力端子
- 1 1 1 ~ 1 1 6 ブロック間接続用信号線群
- 1 2 0 P L L 回路
- 2 1 0 ~ 2 1 2 ラッチ回路
- 2 3 0 位相調整回路
- 2 3 2 カウンタ回路
- 2 3 3 デコーダ

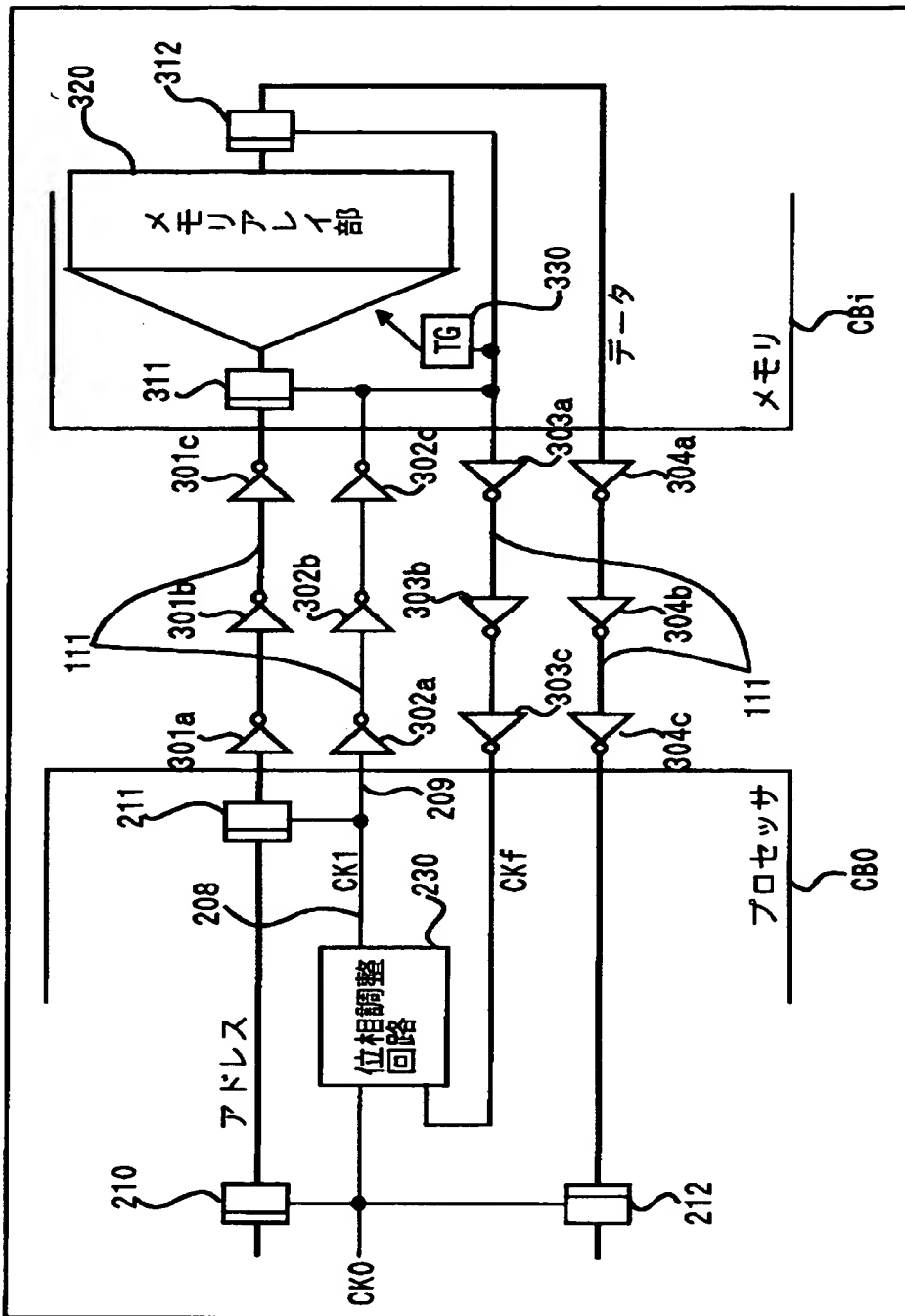
2 3 4 可変遅延回路
2 3 4 a ~ 2 3 4 n 遅延段回路
3 0 1 ~ 3 0 4 バッファ回路
3 1 1, 3 1 2 ラッチ回路
3 3 0 タイミングジェネレータ
B 0 ~ B 4 回路ブロック
P B 1 ~ P B 4 主回路ブロック
C B 1 ~ C B 4 従回路ブロック
I / F インタフェース回路
L 0, L 1 0 ~ L 6 0 ツリー状分配配線

【書類名】 図面

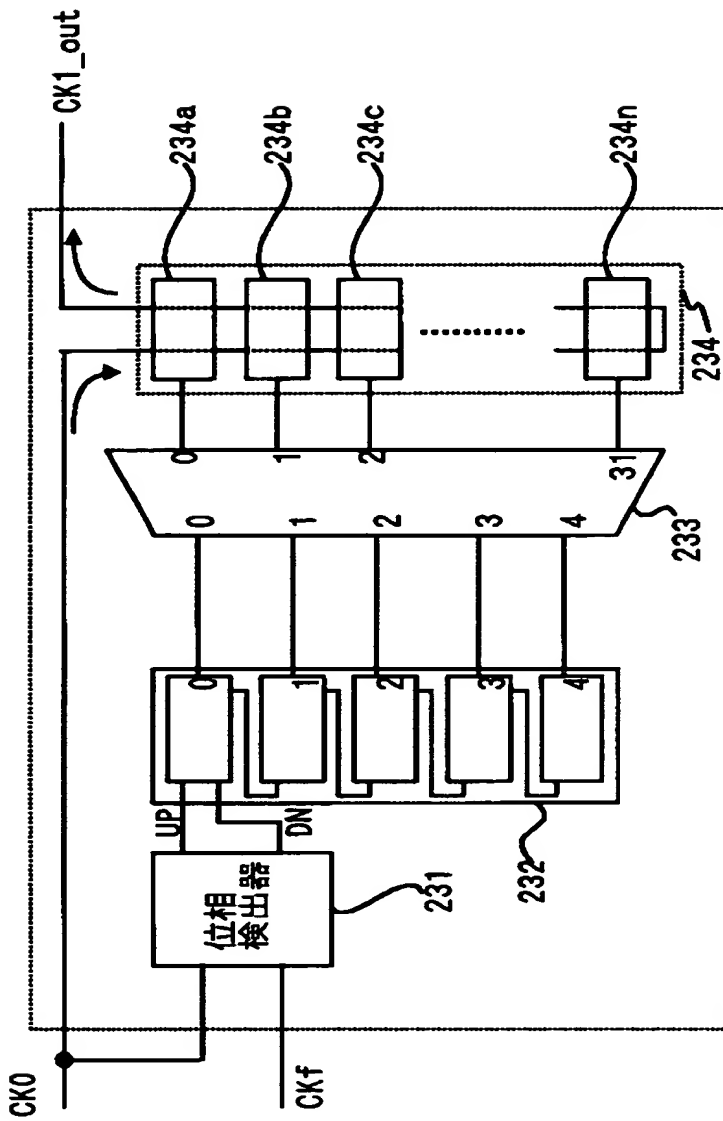
【図 1】



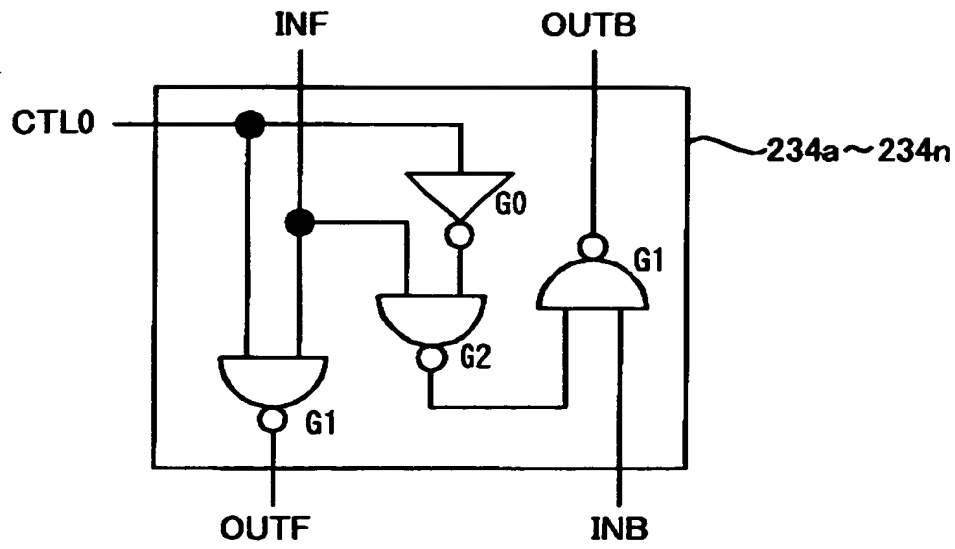
【図2】



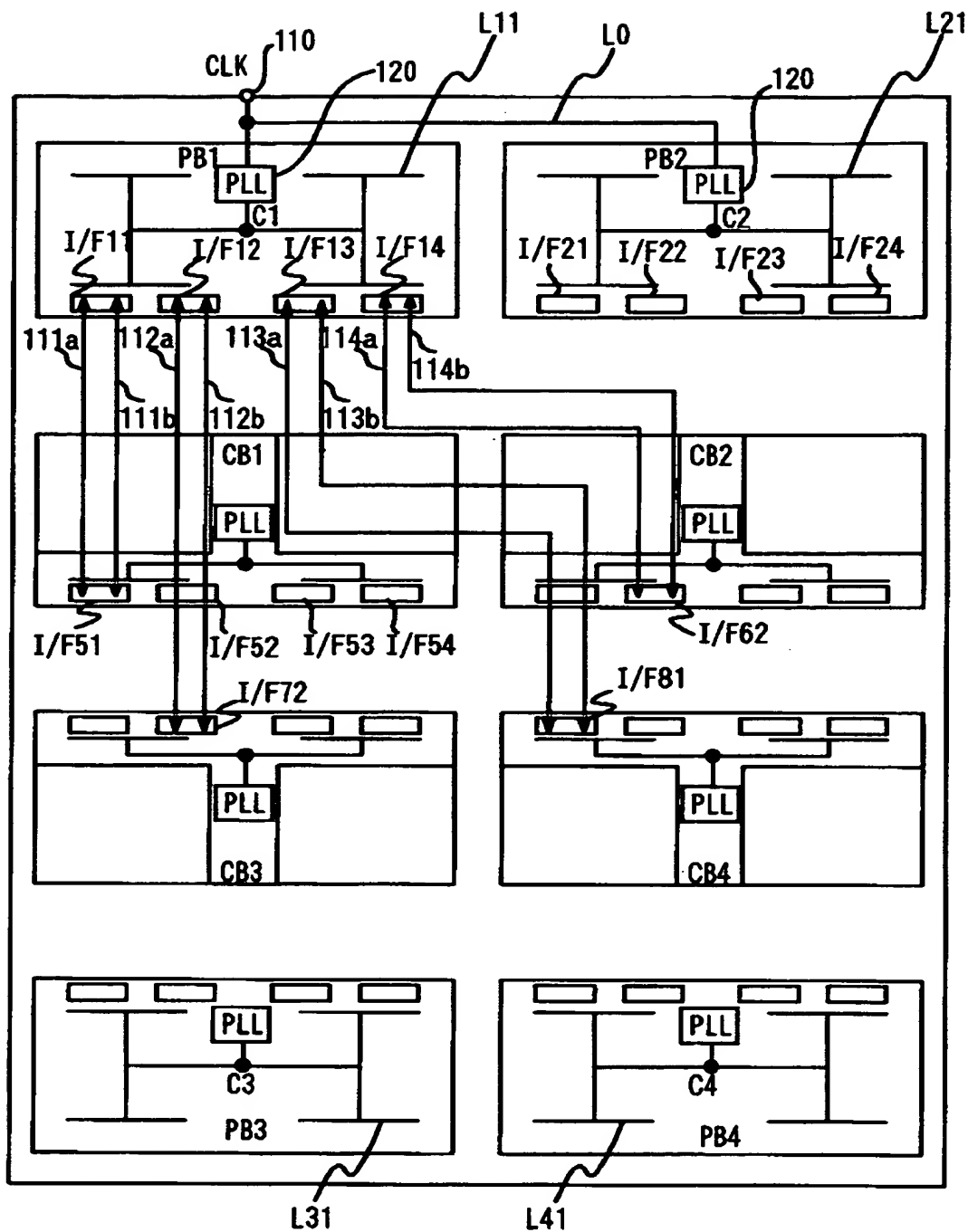
【図 3】



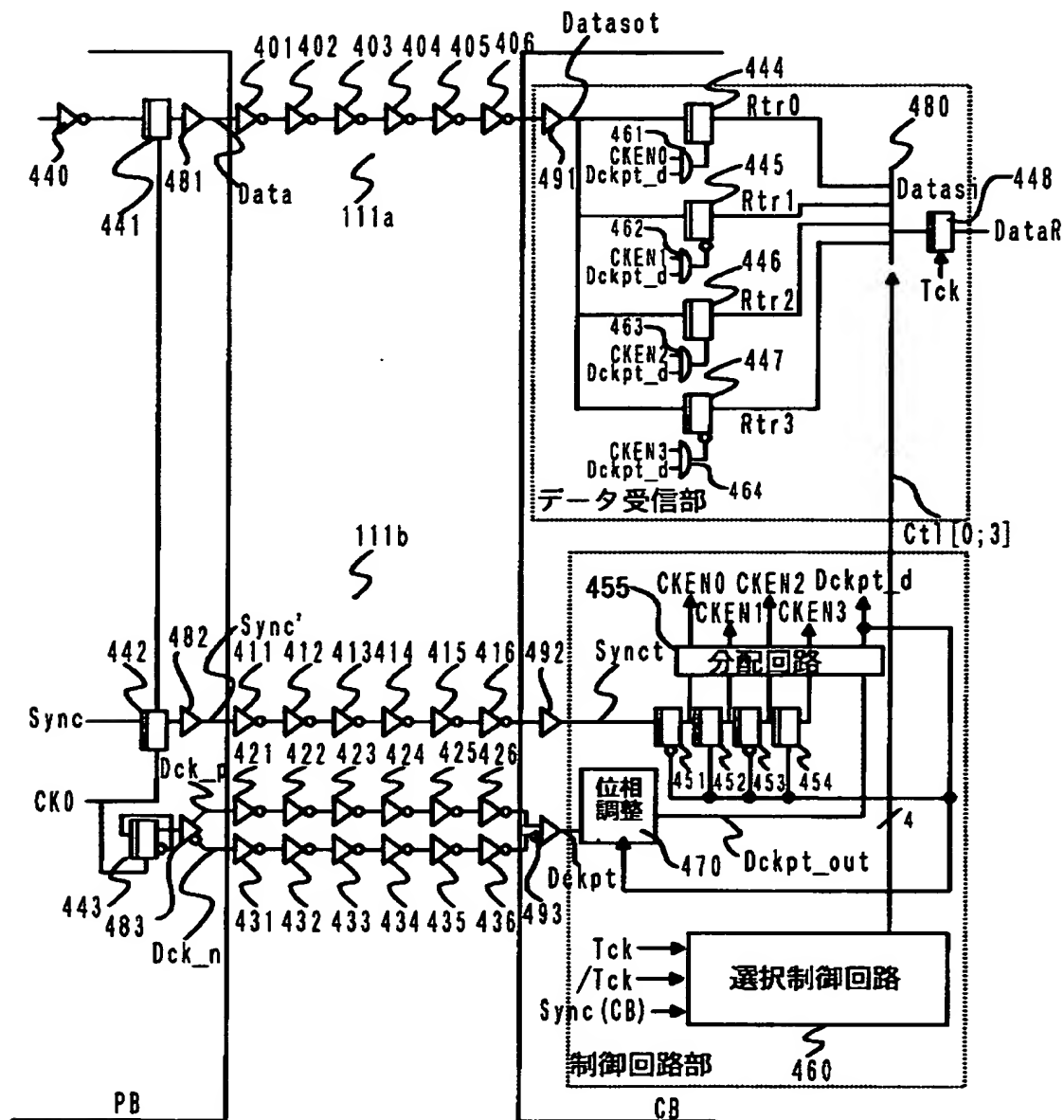
【図 4】



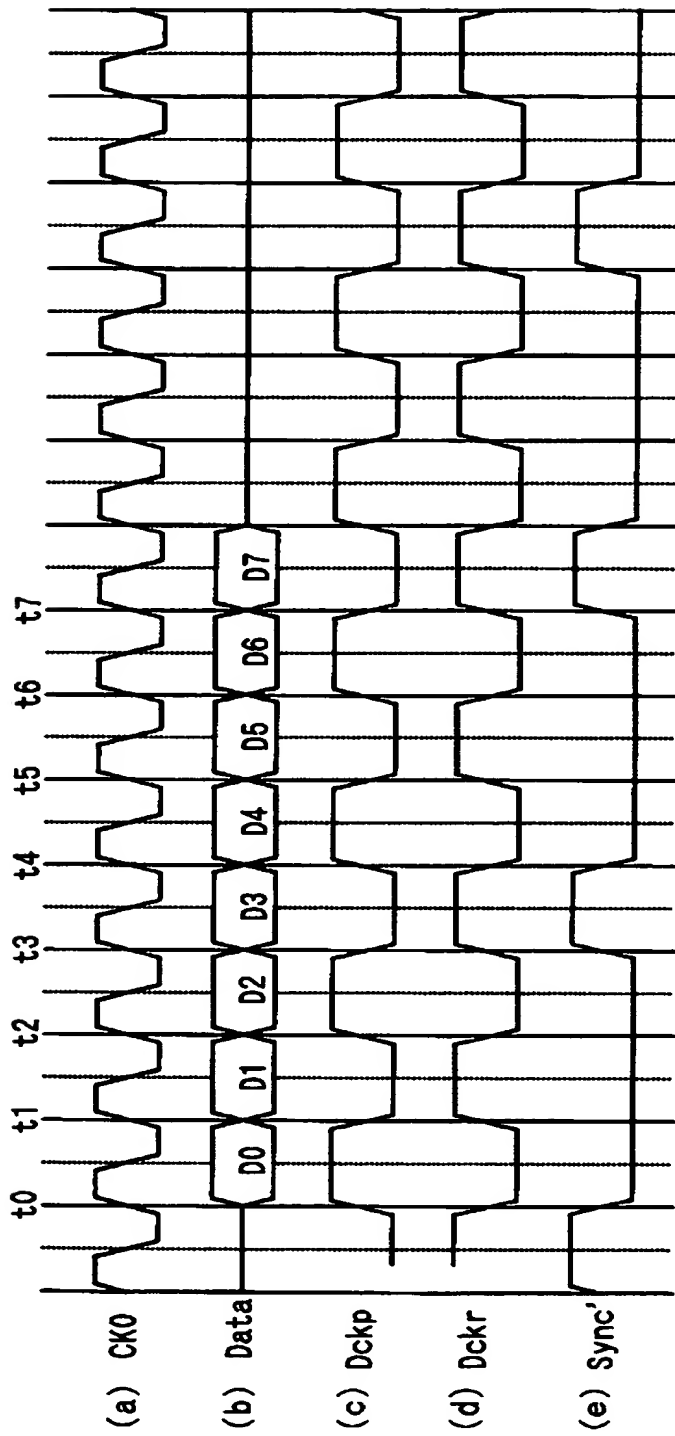
【図 5】



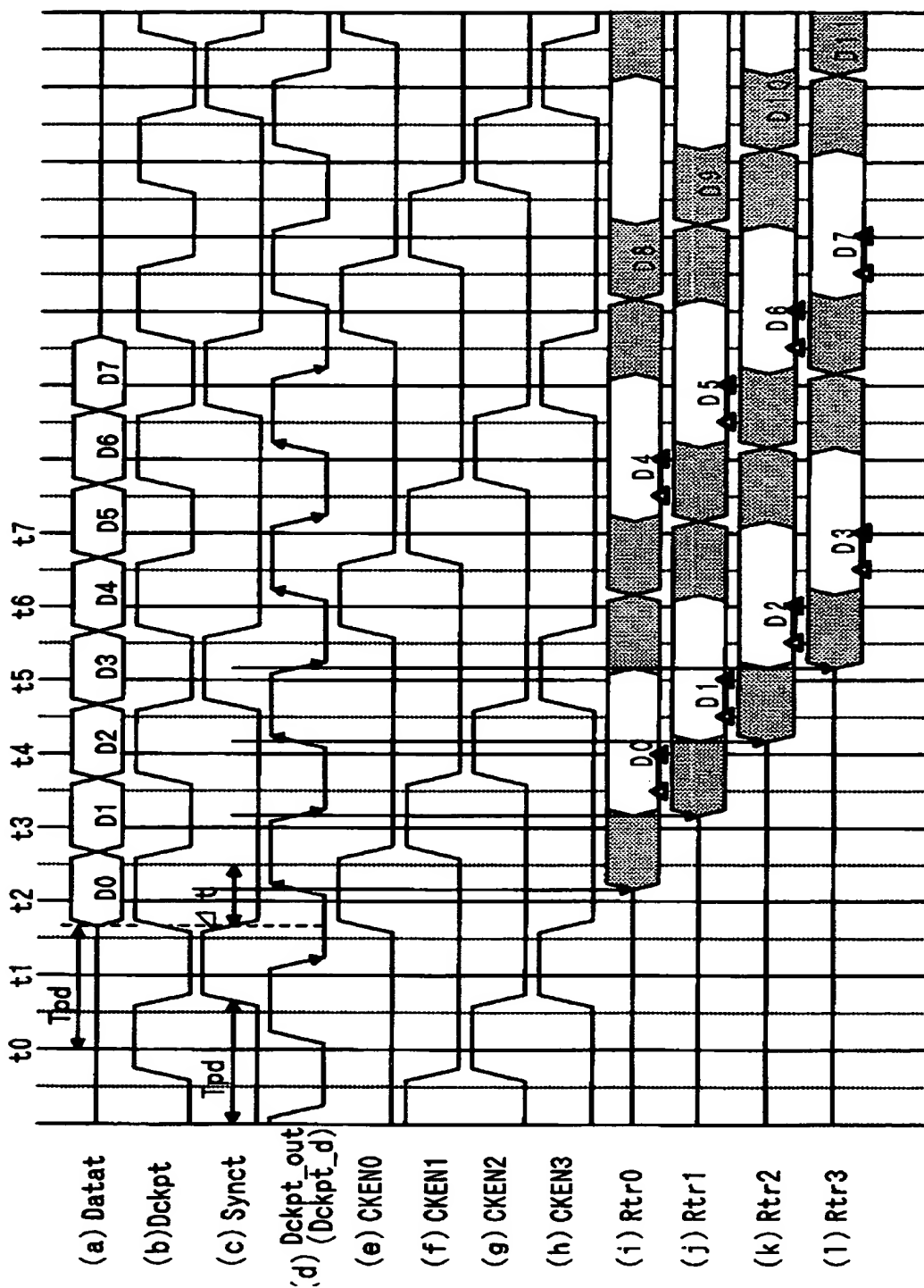
【図 6】



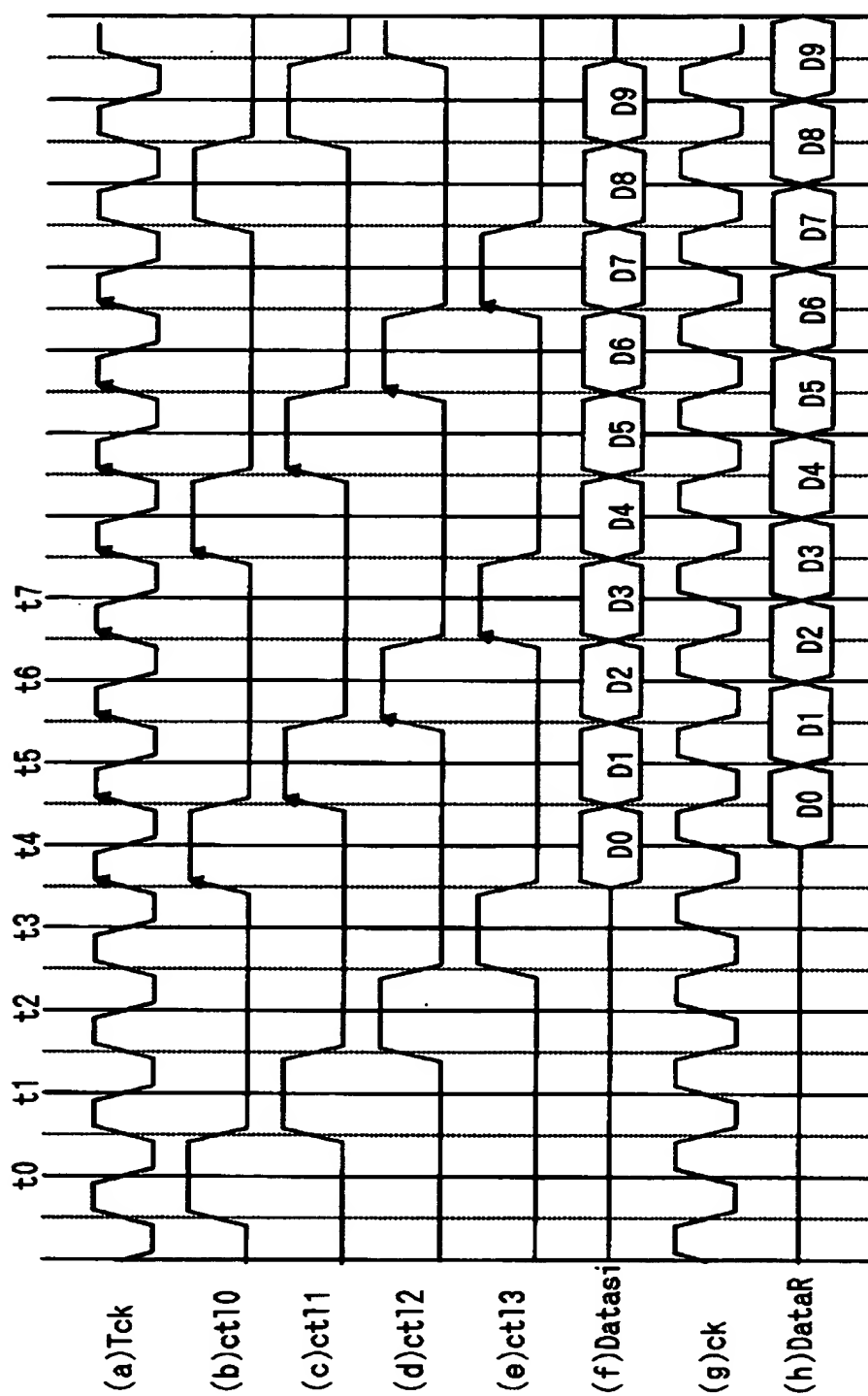
【図7】



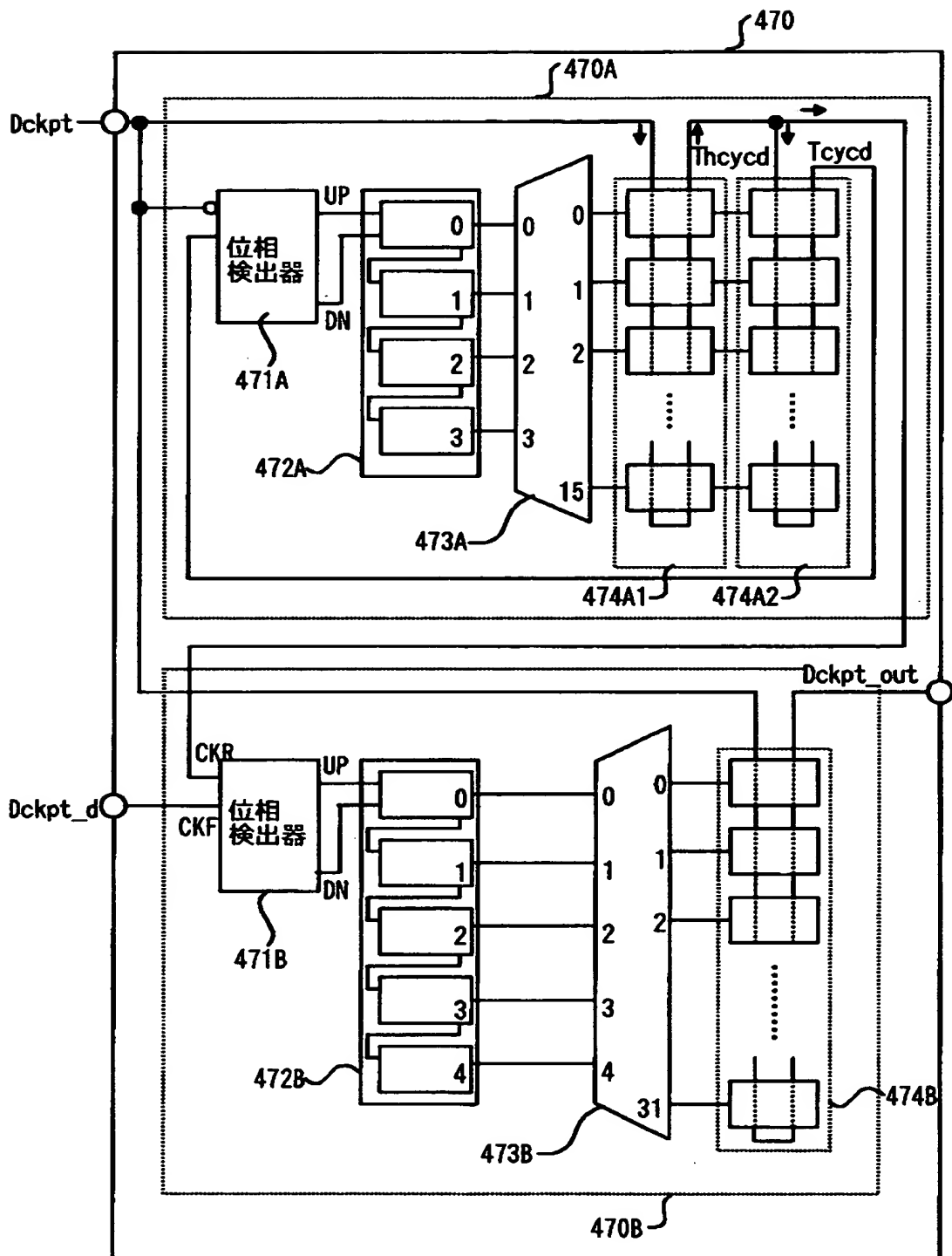
【図8】



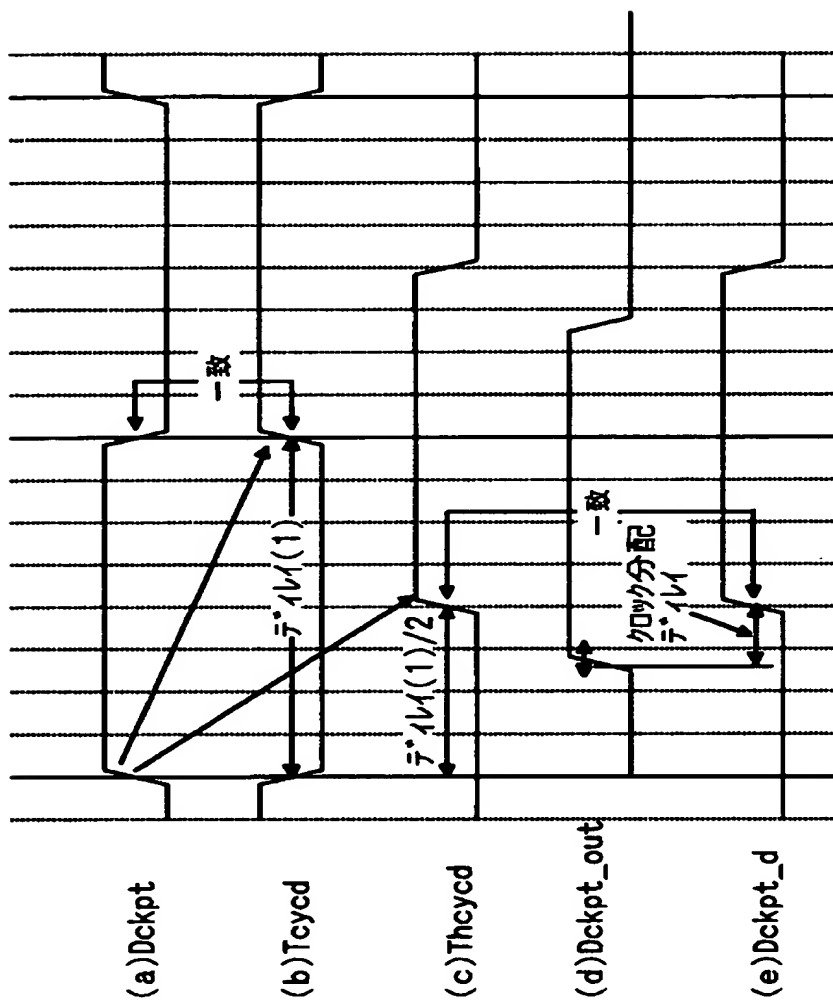
【図9】



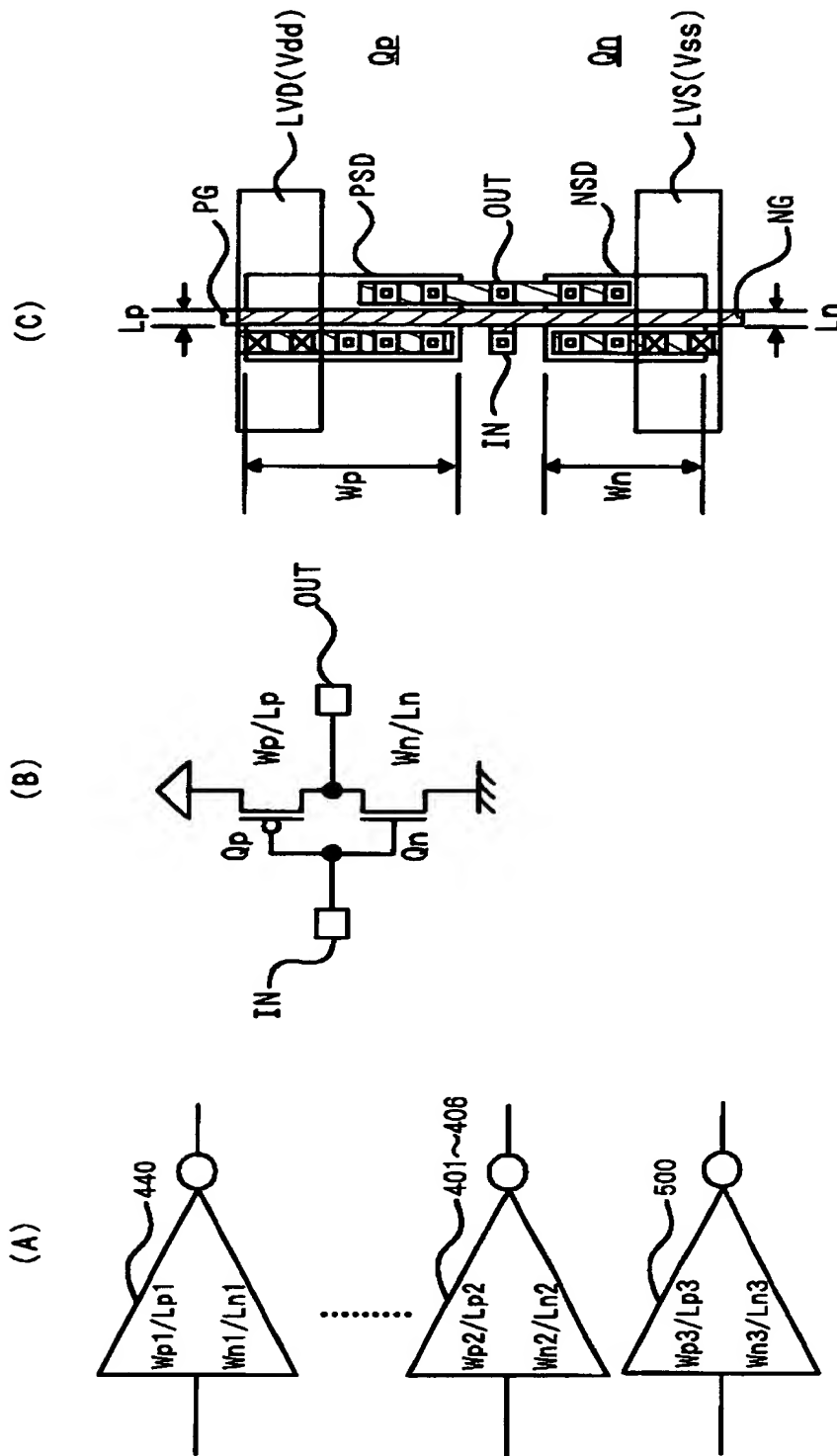
【図 1 0】



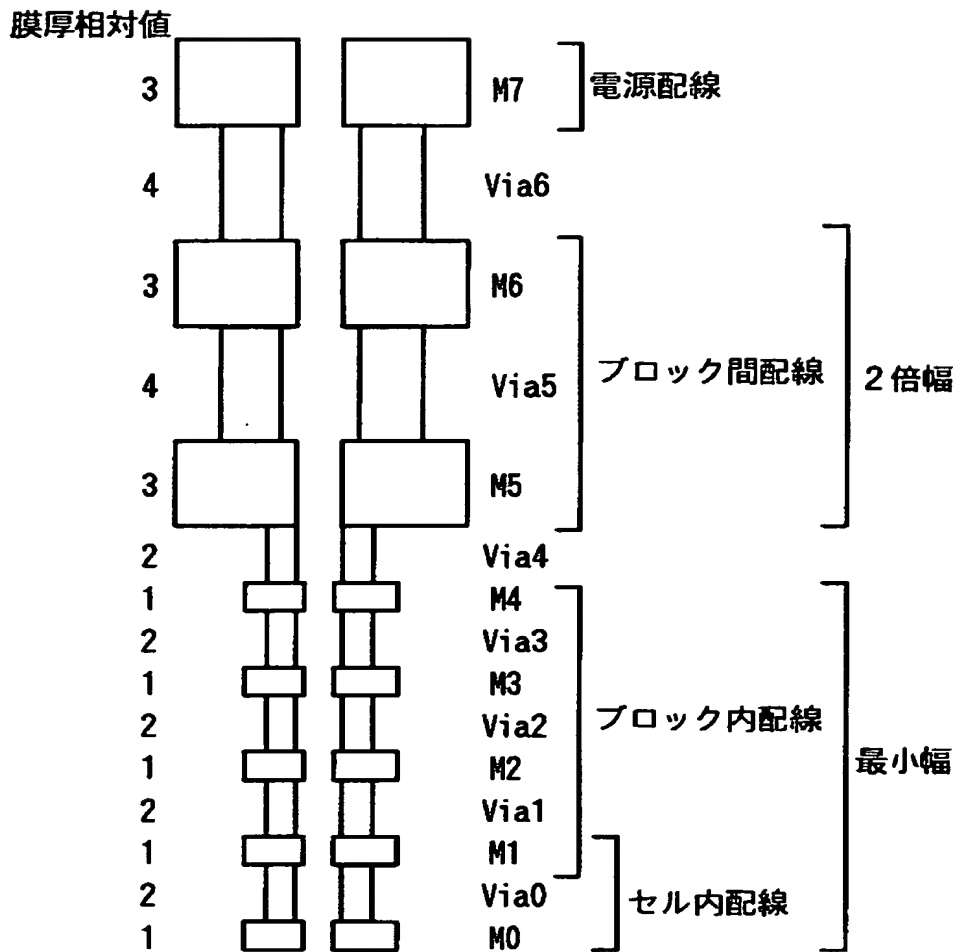
【図 11】



【図 12】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 論理 L S I では、チップ全面で同期化されたクロック分配系を有する方式が一般的であるが、かかるクロック分配系では、クロックスキューがクロック分配系の面積に比例するため、チップサイズの増大に伴ってクロックスキューが大きくなるとともに、チップサイズが同一であっても、クロック周波数が高いほどクロック周期に対するクロックスキューの割合が相対的に増加することとなるため、動作周波数の向上を妨げる原因となっていた。

【解決手段】 ブロック間長距離送信方式として送信データと一緒にクロックを等長配線で送る並送方式を採用して受信側では並送クロックで受信データをラッチするように構成し、さらにブロック間送信用配線には所定の長さ毎にバッファを配置するようにした。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-266971	
受付番号	50001124538	
書類名	特許願	
担当官	第七担当上席	0096
作成日	平成12年 9月 5日	

<認定情報・付加情報>

【提出日】	平成12年 9月 4日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所